

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication

number:

1020000050311 A

(43)Date of publication of application:

05.08.2000

(21)Application number: 1019990000069

(22)Date of filing: 05.01.1999

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(72)Inventor:

MUN, SEUNG HWAN

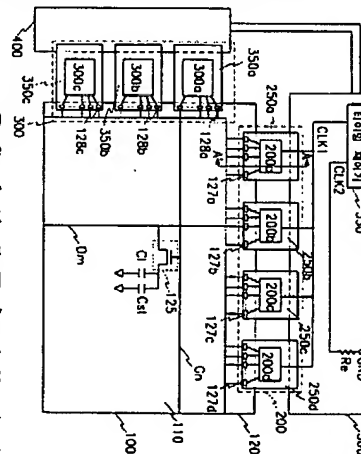
(51)Int. Cl

G02F 1/133

(54) LIQUID CRYSTAL DISPLAY DEVICE INCLUDING DUAL SHIFT CLOCK WIRING

(57) Abstract:

PURPOSE: A liquid crystal display device including dual shift clock wiring is provided to reduce electromagnetic interference. CONSTITUTION: A liquid crystal display device including dual shift clock wiring includes a liquid crystal display panel(100), a gate driver(300), a data driver(200), and a first and second signal wirings. The liquid crystal display panel(100) includes a plurality of data lines, a plurality of gate lines which cross the data lines, and a switch connected to the gate line and the data line. The gate driver(300) applies a gate voltage to a plurality of gate line sequentially. The data driver(200) applies a gray voltage representing an image data signal to the data lines on a line basis. The first and second signal wirings includes a timing controller, and a first clock signal generator, respectively. The timing controller generates a shift clock signal for shifting the image data signal. The second signal line is formed so as to transfer a first clock signal with a phase difference of 90° to 270°.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19990105)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20020930)

Patent registration number (1003586440000)

Date of registration (20021015)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2001101003536)

10-0358644

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ G06F 1/133	(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년10월30일 10-0358644 2002년10월15일
(21) 출원번호 (22) 출원일자	10-1999-0000069 1999년01월05일	(65) 공개번호 (43) 공개일자
		특2000-0050311 2000년08월05일

(73) 특허권자 삼성전자 주식회사
(72) 발명자 경기 수원시 팔달구 매탄3동 416번지
문승환
(74) 대리인 서울특별시서초구잠원동반포타워한신아파트102동1207호
유미특허법인, 김원근

심사관 : 고종욱

(54) 듀얼 시프트 블록 배선을 가지는 액정 표시 장치

요약

본 발명에 따른 액정 표시 장치에서, 화상 데이터 신호 및 이 화상 데이터 신호를 시프트 시키기 위한 시프트 블록 신호를 생성하는 타이밍 제어기가 데이터 드라이버 IC와는 다른 인쇄 회로 기판에 형성되어 있다.

타이밍 제어기가 형성되어 있는 인쇄회로 기판에는 시프트 블록 신호를 전송하기 위한 제1 신호배선과, 시프트 블록 신호와 동일 주파수이며 위상이 반대인 제1 블록 신호를 전송하기 위한 제2 신호배선이 형성되어 있다.

이와 같이, 인쇄 회로 기판의 제2 신호배선에는 시프트 블록 신호와 반대 위상을 가지는 블록 신호가 전송되기 때문에 시프트 블록 신호 전송에 기인하는 전자파 간섭이 감소된다.

도표도

도2

색인어

타이, 시프트 블록 신호, 듀얼 시프트 블록 배선, 타이밍 제어기, LCD구동회로

발명자

도면의 간단한 설명

- 도1은 종래의 박막 트랜지스터 액정 표시 장치를 나타내는 도면이다.
도2는 본 발명의 제1 실시예에 따른 박막 트랜지스터 액정 표시 장치를 나타내는 도면이다.
도3은 도2의 A-A' 선의 수직 단면도이다.
도4는 본 발명의 제1 실시예에 따른 데이터 드라이버 IC의 상세 블록도이다.
도5는 본 발명의 제1 실시예에 따른 블록 신호의 파형을 나타내는 도면이다.
도6은 본 발명의 제2 실시예에 따른 박막 트랜지스터 액정 표시 장치를 개략적으로 나타내는 도면이다.
도7은 본 발명의 제2 실시예에 따른 화상 신호 및 시프트 블록 신호의 파형을 나타내는 도면이다.
도8 및 도9는 제3 실시예에 따른 화상 신호 및 시프트 블록 신호의 파형을 나타내는 도면이다.
도10은 본 발명의 제4 실시예에 따른 화상 신호 및 시프트 블록 신호의 파형을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로서, 특히 듀얼 시프트 블록 배선을 가지는 액정 표시 장치에 관한 것이다.

도1은 종래의 박막 트랜지스터 액정 표시 장치(thin film transistor liquid crystal display; TFT-LCD)를 나타내는 도면이다.

도1에 도시한 바와 같이, TFT-LCD는 일반적으로 LCD 패널(10), 데이터 구동부(20), 게이트 구동부(30)와 타이밍 제어기(40)로 이루어진다.

LCD 패널(10)에는 주사선(scanning line)인 복수의 게이트선(도시하지 않음)이 평행하게 형성되어 있으며, 화상 신호가 인가되는 복수의 데이터선(도시하지 않음)이 상기 게이트선과 평행하게 교차하게 형성되어 있다. 복수의 데이터선과 게이트선에 의해 둘러싸인 영역은 화소를 형성하며, 각 화소에는 스위칭 소자인 박막 트랜지스터(thin film transistor; TFT)가 형성되어 있다. 이 TFT의 게이트 전극, 소스 전극과 드레인 전극에는 각각 게이트선, 데이터선과 화소 전극이 연결된다.

데이터 구동부(20)는 LCD 패널(10)의 데이터선에 전기적으로 연결되어 있으며, 타이밍 제어기(40)로부터 출력되는 디지털 신호인 R, G, B 데이터 신호와 제어 신호를 입력받아 아날로그 신호인 R, G, B 데이터 전압을 LCD 패널(10)의 각 데이터선에 라인 단위로 인가한다.

이때, 하나의 집적회로(Integrated circuit; IC)로 LCD 패널의 모든 데이터선을 연결하는 경우, 출력 전의 개수가 증가하는 문제점이 있기 때문에 일반적으로 다수 개의 데이터 드라이버 IC(20a, 20b, 20c, 20d)로 데이터 구동부(20)를 구성한다.

게이트 구동부(30)는 LCD 패널의 게이트선에 전기적으로 연결되어 있으며, 스위칭 소자인 TFT를 온 시키기 위한 게이트 온 전압을 게이트 선에 순차적으로 인가한다. 게이트 온 전압에 의해 복수의 게이트선 중 하나의 게이트선에 연결된 TFT가 온 되면, 데이터선에 인가된 데이터 전압이 TFT의 드레인 전극을 통해 화소 전극에 전달된다. 게이트 구동부(30)도 데이터 구동부와 마찬가지로 다수 개의 게이트 드라이버 IC(30a, 30b, 30c, 30d)로 이루어진다.

타이밍 제어기(40)는 R, G, B 데이터 신호 및 각종 타이밍 신호를 데이터 구동부(20) 및 게이트 구동부(30)로 출력한다. 타이밍 제어기(40)는 데이터 구동부(20) 및 게이트 구동부(30)와 분리된 인쇄 회로 기판(printed circuit board; PCB)(50)에 형성되어 있으며, 이 PCB(50)에 형성된 배선을 통해 각종 타이밍 신호 및 R, G, B 데이터 신호를 외부 데이터 구동부(20) 또는 게이트 구동부(30)에 전송한다.

이 때, 타이밍 제어기(40)로부터 데이터 구동부(20)로 전송되는 신호 중에는 고주파인 데이터 신호와, 이 화상 신호를 데이터 구동부(20)의 시프트 레지스터(도시하지 않음)에 저장하기 위한 시프트 클럭 신호가 있다.

이러한 시프트 클럭 신호는 예컨대 XGA급 TFT-LCD인 경우 클럭 주파수가 65MHz 이상으로 되며, 이 시프트 클럭을 PCB(50)의 배선을 통해 모든 데이터 드라이버 IC(20a, 20b, 20c, 20d)로 전송하는 경우 전자파 간섭(electro-magnetic interference; EMI) 문제가 발생한다.

특히, TFT-LCD의 PCB(50)는 도1에 도시한 바와 같이, LCD 패널의 긴 변의 길이와 거의 같으며 또한 모든 데이터 드라이버 IC(20a, 20b, 20c, 20d)에 상기 시프트 클럭 신호를 전송하기 때문에, 고속의 시프트 클럭을 전송하는 배선의 길이가 매우 크게된다. 이에 따라 고속의 시프트 클럭의 전송에 기인한 EMI는 TFT-LCD에 특히 문제로 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기와 같은 문제점을 해결하기 위한 것으로서, 고속의 시프트 클럭 신호 및 데이터 신호 전송에 기인하는 EMI를 감소시키기 위한 것이다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 하나의 특징에 따른 액정 표시 장치는 다수의 데이터선, 상기 데이터선에 교차하는 다수의 게이트선, 매트릭스 형태로 배열되어 있으며 상기 게이트선 및 상기 데이터선에 연결되어 있는 스위칭 소자를 가지는 다수의 화소를 포함하는 액정 표시 패널;

상기 스위칭 소자를 온시키기 위한 게이트 전압을 상기 다수의 게이트 라인에 순차적으로 인가하는 게이트 구동부;

화상 데이터 신호를 나타내는 계조 전압을 상기 데이터선에 라인 단위로 인가하는 데이터 구동부; 및

상기 데이터 구동부에 전송되는 상기 화상 데이터 신호 및 상기 화상 데이터 신호를 시프트시키기 위한 시프트 클럭 신호를 생성하는 타이밍 제어기와, 상기 시프트 클럭 신호를 전송하기 위한 제1 신호배선과, 소정의 저항 값을 통해 접지점에 연결되며, 상기 시프트 클럭 신호와 동일 주파수로 90° 내지 270° 중 어느 하나의 위상 차를 가지는 제1 클럭 신호를 전송하기 위한 제2 신호배선이 형성되어 있는 인쇄 회로 기판을 포함한다.

여기서, 상기 제1 클럭 신호는 상기 타이밍 제어기로부터 생성되며 상기 시프트 클럭 신호와 180°의 위상 차를 가지는 것이 바람직하다.

또한, 상기 데이터 구동부는 각각 상기 화상 데이터 신호 및 시프트 클럭 신호가 전송되며, 상기 화상 데이터 신호에 대응하는 계조 전압을 소정의 데이터선에 인가하는 다수의 데이터 드라이버 집적 회로로 이루어지며, 이때 각 데이터 드라이버 집적 회로는 상기 시프트 클럭 신호에 동기하며 상기 화상 데이터 신호를 시프트시키면서 저장하는 시프트 레지스터와; 상기 시프트 레지스터에 저장된 화상 데이터 신호를 수신하여 상기 화상 데이터 신호에 대응하는 계조 전압으로 변환시키는 D/A 컨버터와; 상기 D/A 컨버터로부터 출력되는 계조 전압을 임시 저장한 후, 로드 신호에 응답하여 상기 계조 전압을 상기 소정의 데이터 선에 라인 단위로 인가하는 출력 버퍼를 포함한다.

한편, 본 발명의 다른 특징에 따른 액정 표시 장치는

다수의 데이터선, 상기 데이터선에 교차하는 다수의 게이트선, 매트릭스 형태로 배열되어 있으며 상기 게이트선 및 데이터선 연결되어 있는 스위칭 소자를 가지는 다수의 화소를 포함하는 액정 표시 패널과; 상기 스위칭 소자를 온시키기 위한 게이트 전압을 상기 다수의 게이트 라인에 순차적으로 인가하는 게이트 구동부와; 화상 데이터 신호를 나타내는 계조 전압을 상기 데이터선에 라인 단위로 인가하는 데이터 구동부와; 적절로 전송되는 화상 데이터 신호를 수신하여 상기 화상 데이터 신호로부터 제1 화상 데이터 신호와 제2 화상 데이터 신호를 생성하고, 서로 90° 내지 270° 이내의 위상 차를 가지며 상기 제1 및 제2 화상 신호를 각각 시프트 시키기 위한 제1 및 제2 시프트 블록 신호를 생성하는 타이밍 제어기와, 상기 제1 및 제2 화상 데이터 신호를 각각 전송하기 위한 제1 및 제2 화상 신호 배선과 상기 제1 및 제2 시프트 블록 신호를 각각 전송하기 위한 제1 및 제2 블록 배선이 형성되어 있는 인쇄 회로 기판을 포함한다.

여기서, 상기 제1 화상 데이터 신호는 상기 화상 데이터 신호 중 홀수번째 신호이며 상기 제2 화상 데이터 신호는 상기 화상 데이터 신호 중 짝수번째 신호인 것이 바람직하다.

또한, 상기 제1 및 제2 시프트 블록 신호는 서로 180°의 위상 차를 갖는 것이 바람직하며, 이때 상기 제1 화상 데이터 신호와 상기 제2 화상 데이터 신호는 서로 90° 내지 270° 범위 내의 위상 차를 갖는 것이 바람직하다.

이하에서는 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

도2는 본 발명의 제1 실시예에 따른 TFT-LCD를 나타내는 도면이다.

도2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 TFT-LCD는 LCD 패널(100), 데이터 구동부(200), 게이트 구동부(300)와 타이밍 제어기(550)로 이루어진다.

LCD 패널(100)은 TFT 기판(120) 및 컬러 필터 기판(110)과, 두 기판 사이에 주입되는 액정 층으로 이루어진다.

컬러 필터 기판(110)에는 공통 전압이 인가되는 공통 전극(도시하지 않음)과 R, G, B 컬러 필터층(도시하지 않음)이 형성되어 있다.

TFT 기판(120)에는 주사선(scanning line)인 복수의 게이트선(Gn)이 평행하게 형성되어 있으며, 화상 신호가 인가되는 복수의 데이터선(Dn)이 상기 게이트선과 평행하게 형성되어 있다. 복수의 데이터선과 게이트선에 의해 둘러싸인 영역은 화소(pixel)를 형성하며, 각 화소에는 스위칭 소자인 TFT(125)가 형성되어 있다. TFT(125)의 게이트 전극, 소스 전극과 드레인 전극에는 각각 게이트선, 데이터선과 화소 전극이 연결된다. 화소 전극과 공통 전극 사이에는 액정 층이 주입되어 있으며, 이를 동작적으로 액정 커패시터(C1)로 나타내었다. 또한, 화소 전극에는 액정 용탕에 용해된 전압을 유지하기 위한 유지(storage) 커패시터(Cst)가 형성되어 있다.

데이터 구동부(200)는 다수의 데이터 드라이버 IC(200a, 200b, 200c, 200d)와 상기 드라이버 IC가 각각 부착되어 있는 테이프 캐리어 플레이트(tape carrier plate; TCP)(250a, 250b, 250c, 250d)로 이루어진다.

도2에서, TCP(250a, 250b, 250c, 250d) 위에는 각각 데이터 드라이버 IC가 부착되어 있으며, 이 TCP에는 PCB(500)와 데이터 드라이버 IC를 연결하기 위한 신호선과, 데이터 드라이버 IC와 TFT 기판의 각 데이터선 끝에 형성되는 데이터 패드(127a, 127b, 127c, 127d)를 연결하기 위한 신호선이 형성되어 있다. 이 TCP는 도3에 도시한 바와 같이 LCD 패널과 PCB를 데이터 드라이버 IC에 전기적으로 연결한다.

도3은 도2의 A-A'선으로 자른 수직 단면도를 나타내는 도면이다.

도3에 도시한 바와 같이, TFT 기판(120)과 컬러 필터 기판(110) 사이에는 액정(104)이 주입되어 있으며, 이 액정은 두 기판 사이에 형성되는 물인재(106)에 의해 봉지되어 있다. TFT 기판(120) 위에 형성되는 데이터선(Dn)의 끝 부분에는 데이터 패드(127a)가 형성되어 있으며, 이 데이터 패드 위에 이방성 도전 필름(anisotropic conduction film; ACF)(270a)이 형성되어 있다. 이 ACF(270a)은 TCP(250a)에 부착되어, 데이터 패드(127a)와 데이터 드라이버 IC(200a)가 전기적으로 연결되도록 한다. 또한, TCP(250a)는 PCB(500)와 연결되어 타이밍 제어기로부터의 각종 신호가 데이터 드라이버 IC(200a)로 전송되도록 한다. 이때, TCP(250a)와 PCB(500)는 도3에 도시한 바와 같이 ACF(290a)를 통해 연결될 수도 있으며, 납땜을 통해 연결될 수도 있다.

데이터 드라이버 IC(200a, 200b, 200c, 200d)는 각각 타이밍 제어기(550)로부터 출력되는 R, G, B 데이터 신호, 블록 신호와 제어 신호를 입력받아 아날로그 신호인 R, G, B 데이터 전압을 TFT 기판(120)의 각 데이터선에 라인 단위로 인가하는 것으로, 도4에 도시한 바와 같이 시프트 레지스터(210a), D/A (digital/analog) 컨버터(220a)와 출력 버퍼(230)로 이루어진다.

도4에서, 시프트 레지스터(210a)는 타이밍 제어기(550)로부터 전송되는 R, G, B 데이터를 시프트 블록(CLK)에 동기하여 차례대로 시프트시키면서 저장한다. 이 때, 데이터 드라이버 IC(200a)의 시프트 레지스터에 데이터가 모두 저장되면, 데이터 드라이버 IC는 캐리 아웃(carry out) 신호를 다음 번 데이터 드라이버 IC(220b)로 보내고, 다음 번 데이터 드라이버 IC(220a)은 이전 데이터 드라이버 IC와 마찬가지로 동작한다.

D/A 컨버터(220a)는 시프트 레지스터(210a)에 저장된 데이터 신호를 대응하는 아날로그 계조 전압 값으로 변환시킨다. 즉, D/A 컨버터(220a)는 계조 전압 발생부(도시하지 않음)로부터 출력되는 계조 전압(V1, V2, ..., Vn)과 시프트 레지스터(210a)로부터 출력되는 데이터 신호를 수신하여, 시프트 레지스터에 저장된 데이터 신호에 대응하는 아날로그 계조 전압 값을 출력한다.

출력 버퍼(230a)는 D/A 컨버터(220a)로부터 출력되는 아날로그 계조 전압을 저장하고 있다가, 로드 신호(LOAD) 신호가 인가되면 아날로그 계조 전압을 데이터 드라이버 IC에 전기적으로 연결된 데이터선에 라인 단위로 인가한다.

게이트 구동부(300)는 TFT 기판(120)의 게이트선에 전기적으로 연결되어 있으며, 다수의 게이트 드라이버 IC(300a, 300b, 300c, 300d)와 상기 드라이버 IC가 각각 부착되어 있는 TOP(350a, 350b, 350c, 350d)로 이루어진다. 게이트 드라이버 IC(300a, 300b, 300c, 300d)는 데이터 드라이버 IC와 마찬가지로 TOP(350a, 350b, 350c, 350d)를 이용하여 TFT 기판의 게이트 패드(128a, 128b, 128c, 128d)와 PCB(400)를 전기적으로 연결한다.

게이트 구동부(300)는 스위칭 소자인 TFT를 온 시키기 위한 게이트 온 전압을 게이트 선에 순차적으로 인가한다. 게이트 온 전압에 의해 복수의 게이트선 중 하나의 게이트선에 연결된 TFT가 온 되면, 데이터선에 인가된 데이터 전압이 TFT의 드레인 전극을 통해 화소 전극에 전달된다.

타이밍 제어기(550)는 R, G, B 데이터 신호 및 각종 타이밍 신호를 데이터 구동부(200) 및 게이트 구동부(300)로 출력한다. 타이밍 제어기(550)는 다층기판인 PCB(500)에 형성되어 있으며, 이 PCB(500)에 형성된 배선을 통해 각종 타이밍 신호 및 R, G, B 데이터 신호를 외부 데이터 구동부(200) 또는 게이트 구동부(300)에 전송한다.

타이밍 제어기(550)는 시프트 클럭 신호(CLK1)를 각 데이터 드라이버 IC(200a, 200b, 200c, 200d)로 전송하며, 시프트 클럭 신호(CLK1)에 의한 EMI 문제를 감소시키기 위해 도메인 도시간 바와 같이 상기 시프트 클럭 신호(CLK1)와 동일 주파수이며 위상이 반대인 클럭 신호(CLK2)를 저항(Re)을 통해 접지에 전송한다.

즉, PCB(500) 상에 일종의 더미(dummy) 배선인 클럭 신호(CLK2) 배선을 상기 시프트 클럭 신호(CLK1) 배선에 평행하게 배치하고, 이 더미 배선에 상기 시프트 클럭 신호(CLK1)와 위상이 반대인 클럭 신호(CLK2)를 인가함으로써, 이하에서 설명하는 바와 같이 상기 시프트 클럭 신호(CLK1)에 기인하는 EMI를 상쇄시킨다.

일반적으로 TFT-LCD에서 고주파 신호 전송에 기인하는 EMI 문제는, 다층 기판인 PCB에서 스트림 라인 형태의 고주파 선로와 이 선로와 인접하여 형성되는 접지면과의 관계로부터 시작된다. 즉, 고주파 선로와 접지면 사이에서 발생하는 전계에 의해 접지면에는 고주파 선로와 반대 극성을 가지는 전하가 모이게 되는데, 이때 EMI의 크기는 전하의 움직임에 따른 접지면에서의 전류의 변화에 비례한다.

따라서, 접지면에서의 전류 변화량을 최소화할 수 있다면, EMI 문제도 최소화할 수 있다.

본 발명의 제1 실시예에 따른 액정 표시 장치는 이와 같은 점을 고려하여, 시프트 클럭 신호(CLK1)와 동일 주파수이며 반대 위상을 가지는 클럭 신호(CLK2)를 저항(Re)을 통해 접지에 전송한다. 이와 같이 하면 예컨대 시프트 클럭 신호(CLK1)의 전송로 주의의 접지면에 (-) 전하가 유도된다고 가정했을 때, 클럭 신호(CLK2)의 전송로 주의의 접지면에는 (+) 전하가 유도되기 때문에, 접지면에 유도되는 전하는 서로 상쇄된다. 따라서, 본 발명의 제1 실시예에 따르면 시프트 클럭 신호에 대응하는 접지면의 전류를 최소화할 수 있으므로, EMI 발생을 최소화할 수 있다.

한편, 본 발명의 제1 실시예에서 클럭 신호(CLK2)는 시프트 클럭 신호(CLK1)와 마찬가지로 타이밍 제어기(550)로부터 출력되고 있으나, 별도의 IC로부터 출력될 수도 있다. 또한, 본 발명의 제1 실시예에서 시프트 클럭 신호(CLK1) 배선과 클럭 신호(CLK2) 배선은 서로 평행하게 배열되고 동일층에 형성하는 것이 바람직하나, 반드시 이에 한정되는 것은 아니며 다른 층에 형성할 수도 있다.

즉, 일반적으로 다층 PCB는 복수 층의 배선 영역과 배선 영역 사이의 절연 층으로 구성되는데, 상기 시프트 클럭 신호(CLK1) 배선과 클럭 신호 배선(CLK2)은 동일 층에만 아니라 서로 다른 층에 형성할 수도 있다.

또한, 본 발명의 제1 실시예에서는 시프트 클럭 신호 CLK1와 클럭 신호 CLK2의 위상을 반대로 즉, 180.로 하였으나, 이 외에 90. 내지 270.의 위상 차를 갖도록 할 수도 있다.

다음에는 본 발명의 제2 실시예에 대하여 설명한다.

도6은 본 발명의 제2 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 도면이다.

도6에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 TFT-LCD는 LCD 패널(100), 게이트 구동부(300), 데이터 구동부(600), 타이밍 제어기(750)로 이루어진다. 본 발명의 제2 실시예에서 LCD 패널(100), 게이트 구동부(300)는 도2에 도시한 제1 실시예와 동일하므로 중복되는 설명은 생략한다.

도6에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 타이밍 제어기(750)는 홀수 데이터선에 인가되는 홀수 화상 데이터와 짝수 데이터선에 인가되는 짝수 화상 데이터를 별도의 신호선(L1, L2)을 통해 데이터 드라이버 IC(600a, 600b, 600c, 600d)로 전송하며, 또한 이 화상 데이터 신호와 동기신호인 시프트 클럭 신호(CLK3, CLK4)를 신호선(D1, D2)을 통해 데이터 드라이버 IC에 전송한다.

즉, 본 발명의 제2 실시예에 따르면 타이밍 제어기(750)는 홀수 화상 데이터와 시프트 클럭 신호(CLK3)를 신호선(L1)과 신호선(D1)을 통해 데이터 드라이버 IC(200a, 200c)로 전송하며, 짝수 화상 데이터와 시프트 클럭 신호(CLK4)를 신호선(L2)과 신호선(D2)을 통해 데이터 드라이버 IC(200b, 200d)로 전송한다.

이와 같이, 본 발명의 제2 실시예에서는 화상 데이터를 2분주하여 각각 드라이버 IC에 전송하기 때문에, 제1 실시예에 비해 화상 데이터 신호와 시프트 클럭 신호의 주파수를 1/2로 감소시킬 수 있으며, 이에 따라 EMI 문제를 감소시킬 수 있다.

도7은 본 발명의 제2 실시예에 따른 홀수 및 짝수 화상 데이터 신호와 시프트 클럭 신호(CLK3, CLK4)의 파형을 나타낸 도면이다.

도7에 도시한 바와 같이, 본 발명의 제2 실시예에 따르면 클럭 신호 CLK3와 CLK4는 동일 주파수와 반대 위상을 가지며, 또한 홀수 화상 데이터와 짝수 화상 데이터도 동일 주파수와 반대 위상을 가진다. 이때 홀수 화상 데이터는 시프트 클럭 신호(CLK3)의 라이징 에지에 동기하여 데이터 드라이버 IC(200a, 200c)의 시프트 레지스터에 저장되며, 짝수 화상 데이터는 시프트 클럭 신호(CLK4)의 폴링 에지에 동기하여 데

데이터 드라이버 IC(200b, 200d)의 시프트 레지스터에 저장된다.

따라서, 본 발명의 제2 실시예에 따르면 데이터 드라이버 IC들은 각각 라이징 에지에 동기할 것인지 또는 폴링 에지에 동기할 것인지를 선택할 수 있는 기능 즉, 클럭 트리거링(triggering)을 포지티브로 할 것인지 또는 네가티브로 할 것인지를 선택할 수 있는 기능이 있어야 한다.

본 발명의 제3 및 제4 실시예는 이와 같은 클럭 트리거링 문제를 해결하기 위한 것이다. 도8 및 도9는 본 발명의 제3 실시예에 따른 홀수 및 짝수 화상 데이터 신호와, 시프트 클럭 신호(CLK3, CLK4)의 파형을 나타내는 도면이며, 도10은 본 발명의 제4 실시예에 따른 홀수 및 짝수 화상 데이터 신호와 시프트 클럭 신호(CLK3, CLK4)의 파형을 나타내는 도면이다.

도8에 도시한 바와 같이, 본 발명의 제3 실시예에 따르면 클럭 신호 CLK3과 CLK4는 동일 주파수와 반대 위상을 가지며, 또한 홀수 화상 데이터와 짝수 화상 데이터도 동일 주파수와 반대 위상을 가진다. 이때, 클럭 신호 CLK3과 CLK4의 펄스 폭은 각각 홀수 화상 데이터 및 짝수 화상 데이터의 하이 신호 구간(또는 로우 신호 구간) 내에 존재한다. 따라서, 홀수 화상 데이터 및 짝수 화상 데이터는 도8에 도시한 바와 같이 각각 클럭 신호 CLK3 및 CLK4의 라이징 에지(또는 폴링 에지)에 동기하여 데이터 드라이버 IC 내의 시프트 레지스터에 저장될 수 있다.

그 결과, 본 발명의 제3 실시예에 따른 데이터 드라이버 IC는 클럭 트리거링(triggering)을 포지티브로 할 것인지 또는 네가티브로 할 것인지를 선택할 기능을 갖출 필요는 없으며, 예컨대 포지티브의 클럭 트리거링만을 가지는 데이터 드라이버 IC를 사용할 수 있다.

한편, 도9는 도8에 도시한 시프트 클럭 신호의 펄스 폭을 1/2로 줄인 것으로서, 시프트 클럭 신호의 펄스 폭을 줄인 것만큼 데이터 드라이버 IC의 타이밍 마진을 개선할 수 있다.

본 발명의 제4 실시예에 따르면, 도10에 도시한 바와 같이 클럭 신호 CLK3과 CLK4는 동일 주파수와 반대 위상을 가지며, 반면 홀수 화상 데이터와 짝수 화상 데이터는 동일 주파수를 가지나 90°의 위상 차를 가진다. 본 발명의 제4 실시예에 따르면 홀수 화상 데이터와 짝수 화상 데이터가 90°의 위상 차를 가지기 때문에 각각 클럭 신호 CLK3 및 CLK4의 라이징 에지(또는 폴링 에지)에 동기하여 데이터 드라이버 IC 내의 시프트 레지스터에 저장될 수 있다.

그 결과, 본 발명의 제4 실시예에 따른 데이터 드라이버 IC도 제3 실시예와 마찬가지로 클럭 트리거링(triggering)을 포지티브로 할 것인지 또는 네가티브로 할 것인지를 선택할 기능을 갖출 필요는 없으며, 예컨대 포지티브의 클럭 트리거링만을 가지는 데이터 드라이버 IC를 사용할 수 있다.

이상에서는 본 발명의 실시예에 대하여 설명하였으나, 본 발명은 상기한 실시예에만 한정되는 것은 아니며 그 외에 다양한 변형이나 변경이 가능한 것은 물론이다. 예컨대, 본 발명의 제2 실시예에서 시프트 클럭 신호(CLK3, CLK4)의 위상 차이는 180° 뿐만 아니라, 90° 내지 270° 범위 이내에 들도록 할 수도 있다.

또한, 제2 실시예에서 시프트 클럭 신호(CLK3, CLK4)의 위상을 동일하게 하고, 제1 실시예와 마찬가지로 각 시프트 클럭 신호(CLK1, CLK4)와 위상이 반대인 클럭 신호를 별도의 신호선을 통해 접지점에 전송하도록 할 수도 있다.

본 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 고속의 시프트 클럭 신호와 동시에 상기 클럭 신호와 반대 위상을 가지는 클럭 신호를 전송하기 때문에 시프트 클럭의 신호 전송에 기인하는 EMI를 감소시킬 수 있다. 또한, 홀수의 화상 데이터와 반대 위상을 가지는 짝수 화상 데이터를 별도의 신호선을 통해 전송하기 때문에 고속의 화상 데이터 전송에 기인하는 EMI를 감소시킬 수 있다.

(5) 청구의 범위

청구항 1

다수의 데이터선, 상기 데이터선에 교차하는 다수의 게이트선, 매트릭스 형태로 배열되어 있으며 상기 게이트선 및 상기 데이터선에 연결되어 있는 스위칭 소자를 가지는 다수의 화소들 포함하는 액정 표시 패널;

상기 스위칭 소자를 온시키기 위한 게이트 전압을 상기 다수의 게이트 라인에 순차적으로 인가하는 게이트 구동부;

화상 데이터 신호를 나타내는 계조 전압을 상기 데이터선에 라인 단위로 인가하는 데이터 구동부; 및

상기 데이터 구동부에 전송되는 상기 화상 데이터 신호 및 상기 화상 데이터 신호를 시프트시키기 위한 시프트 클럭 신호를 생성하는 타이밍 제너레이터, 상기 시프트 클럭 신호를 전송하기 위한 제1 신호배선과, 소정의 저항 값을 통해 접지점에 연결되며, 상기 시프트 클럭 신호와 동일 주파수로 90° 내지 270° 중 어느 하나의 위상 차를 가지는 제2 클럭 신호를 전송하기 위한 제2 신호배선이 형성되어 있는 인쇄 회로 기판을 포함하는 액정 표시 장치.

청구항 2

삭제

청구항 3

제1항에서,

상기 제1 클럭 신호는 상기 타이밍 제어기로부터 생성되는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제1항에서,

상기 인쇄 회로 기판은 다음의 배선 영역을 가지며,

상기 제1 신호 배선과 상기 제2 신호 배선은 동일 층에 서로 평행하게 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제1항에서,

상기 인쇄 회로 기판은 다음의 배선 영역을 가지며,

상기 제1 신호 배선과 상기 제2 신호 배선은 서로 다른 층에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제1항에서,

상기 제1 클럭 신호는 상기 시프트 클럭 신호와 180°의 위상 차를 가지는 것을 특징으로 하는 액정 표시 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

다수의 데이터선, 상기 데이터선에 교차하는 다수의 게이트선, 매트릭스 형태로 배열되어 있으며 상기 게이트선 및 상기 데이터선에 연결되어 있는 스위칭 소자를 가지는 다수의 화소들 포함하는 액정 표시 패널;

상기 스위칭 소자를 온시키기 위한 게이트 전압을 상기 다수의 게이트 라인에 순차적으로 인가하는 게이트 구동부;

화상 데이터 신호를 나타내는 게조 전압을 상기 데이터선에 라인 단위로 인가하는 데이터 구동부; 및

적렬로 전송되는 화상 데이터 신호를 수신하여 상기 화상 데이터 신호로부터 제1 화상 데이터 신호와 제2 화상 데이터 신호를 생성하고, 서로 90° 내지 270° 이내의 위상 차를 가지며 상기 제1 및 제2 화상 신호를 각각 시프트 시키기 위한 제1 및 제2 시프트 클럭 신호를 생성하는 타이밍 제어기와, 상기 제1 및 제2 화상 데이터 신호를 각각 전송하기 위한 제1 및 제2 화상 신호 배선과, 상기 제1 및 제2 시프트 클럭 신호를 각각 전송하기 위한 제1 및 제2 클럭 배선이 형성되어 있는 인쇄 회로 기판을 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 제1 화상 데이터 신호는 상기 화상 데이터 신호 중 홀수번째 신호이며, 상기 제2 화상 데이터 신호는 상기 화상 데이터 신호 중 짝수번째 신호인 것을 특징으로 하는 액정 표시 장치.

청구항 11

제10항에서,

상기 제1 및 제2 시프트 클럭 신호는 서로 180°의 위상 차이를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 화상 데이터 신호와 상기 제2 화상 데이터 신호는 서로 90° 내지 270° 범위 내의 위상 차를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 13

제12항에서,

상기 제1 화상 데이터 신호와 상기 제2 화상 데이터 신호는 서로 180°의 위상 차를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 14

제 13항에서,

상기 제1 화상 데이터 신호는 상기 제1 시프트 클럭 신호의 라이징 에지에 동기하여 시프트되며, 상기 제2 화상 데이터는 상기 제2 시프트 클럭 신호의 폴링 에지에 동기하여 시프트되는 것을 특징으로 하는 액정 표시 장치.

청구항 15

제 13항에서,

상기 제1 및 제2 시프트 클럭 신호의 펄스 폭은 상기 제1 및 제2 화상 데이터의 하이 또는 로우 신호 구간 내에 있는 것을 특징으로 하는 액정 표시 장치.

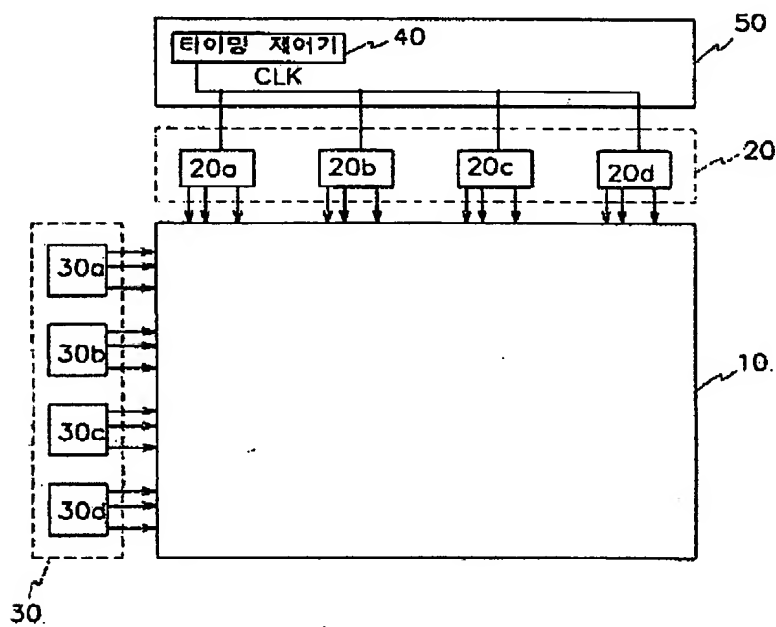
청구항 16

제 12항에서,

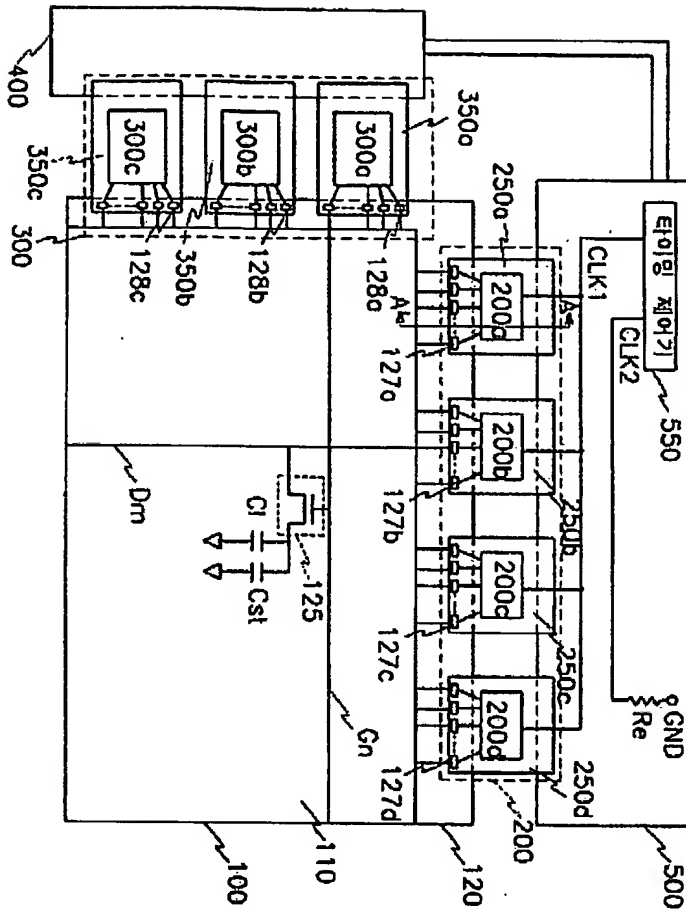
상기 제1 및 제2 화상 데이터 신호는 서로 90. 또는 270. 의 위상 차를 가지는 것을 특징으로 하는 액정 표시 장치.

도면

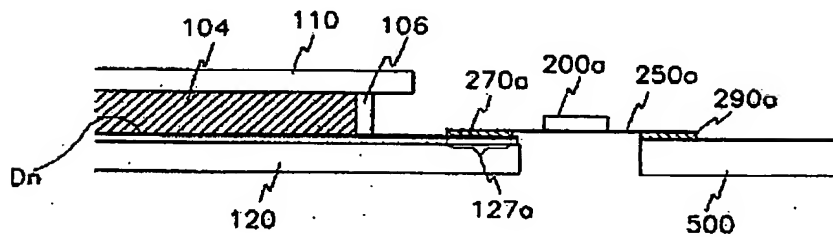
도면 1



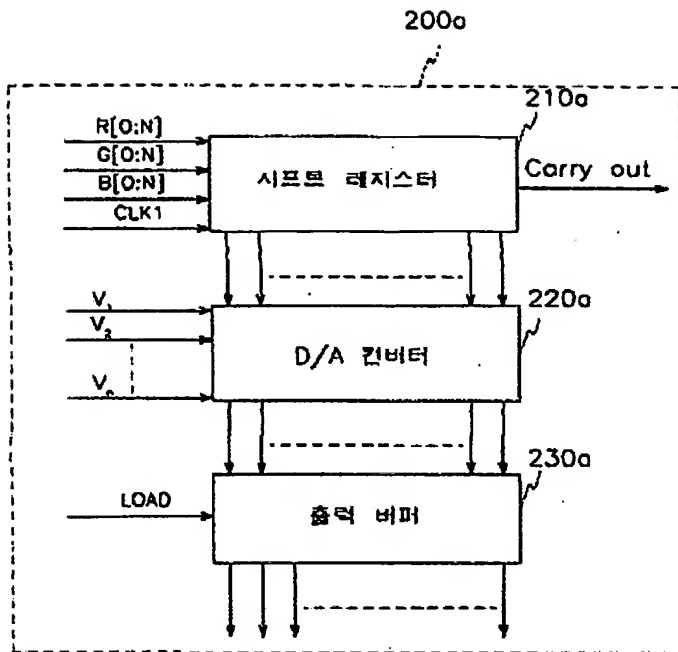
SEN2



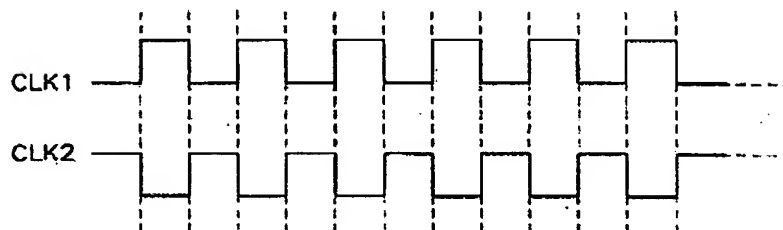
END



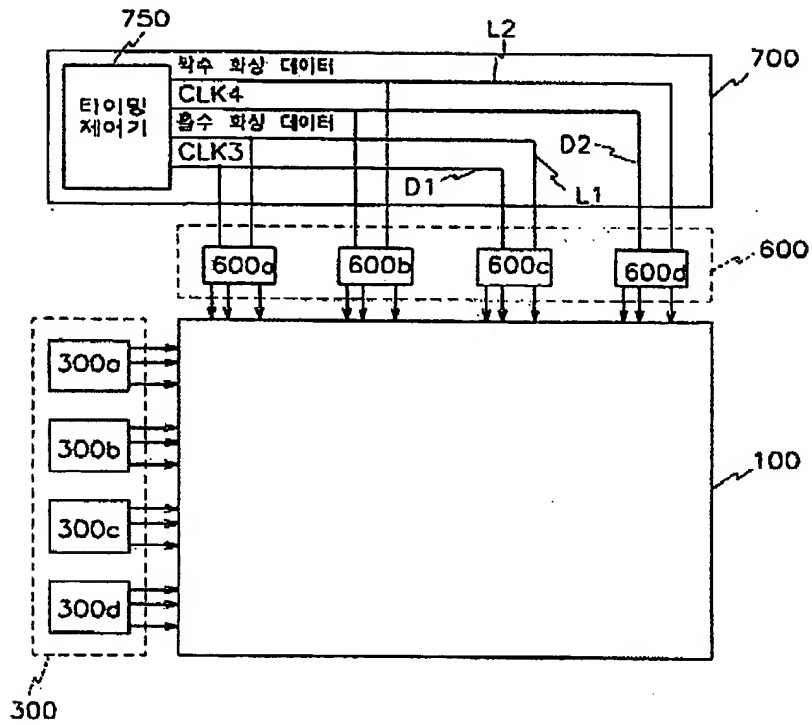
도면4



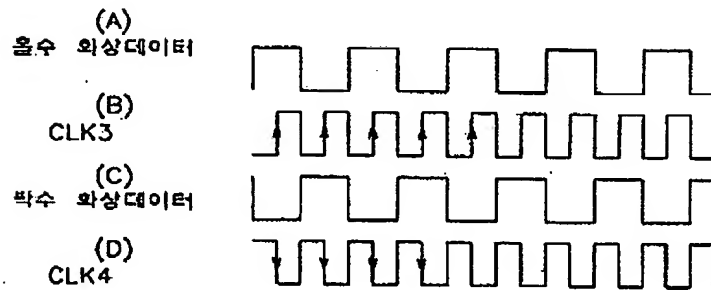
도면5



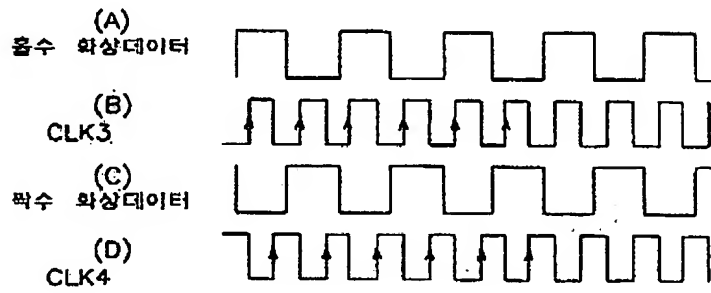
도면6



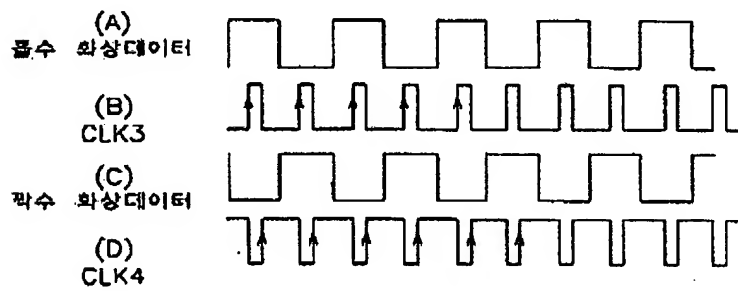
도면7



도면8



도면9



도면10

